

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134709

(P2002-134709A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード(参考)

H 0 1 L 27/105

G 1 1 C 11/14

A 2 G 1 3 2

G 0 1 R 31/28

11/15

5 F 0 8 3

G 1 1 C 11/14

H 0 1 L 43/08

Z

11/15

27/10

4 4 7

H 0 1 L 43/08

G 0 1 R 31/28

B

審査請求 有 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願2001-225140 (P2001-225140)

(22) 出願日 平成13年7月25日 (2001.7.25)

(31) 優先権主張番号 1 0 0 3 6 1 4 0 . 4

(32) 優先日 平成12年7月25日 (2000.7.25)

(33) 優先権主張国 ドイツ (DE)

(71) 出願人 501209070

インフィネオン テクノロジーズ アクチ  
エンゲゼルシャフト

ドイツ連邦共和国 81669 ミュンヘン

ザンクト マルティン シュトラッセ 53

(72) 発明者 クルト, ホフマン

ドイツ連邦共和国 82024 タウフキルヘン

ネルケンヴェク 20

(72) 発明者 オスカー, コヴァリーク

ドイツ連邦共和国 85579 ノイビベルク

ブルンヒルデンシュトラッセ 26アー

(74) 代理人 100080034

弁理士 原 謙三 (外3名)

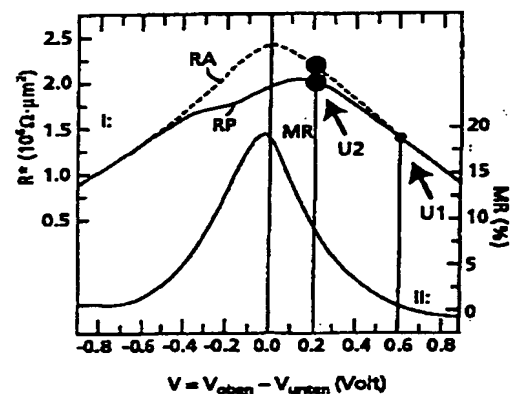
最終頁に続く

(54) 【発明の名称】 MRAMメモリーのメモリーセルの非破壊読み取りのための方法および構造

(57) 【要約】

【課題】 所要スペースが小さく、読み取りプロセスごとに時間を費やさない、MRAMメモリーのメモリーセルの非破壊読み取り方法を提供する。

【解決手段】 本発明では、電圧領域 (U1) では、メモリーセルの抵抗  $RA \cdot RP$  は、メモリーセル内容に影響されないが、別の電圧領域 (U2) では、同抵抗  $RA \cdot RP$  は、セル内容に応じて変化する。これにより、異なるメモリーセルの内容を相互に比較するために、セル内容によらない抵抗  $RA \cdot RP$  (U1) によって、セル内容に影響される抵抗  $RA \cdot RP$  (U2) を正規化できる。その結果、特定のメモリーセルの正規化された読出信号を、「0」または「1」で記述される基準セルの正規化された基準信号と比較し、そして、それにより、「1」または「0」としてのメモリーセル内容を検知することも可能である。



1

## 【特許請求の範囲】

【請求項1】MRAMメモリーのメモリーセルの非破壊読み取りのための方法において、(a)メモリーセルの抵抗値がメモリーセルのセル内容により影響を受けない電圧においてメモリーセルの正規抵抗値 $R_{norm}$ を決定する工程と、(b)メモリーセルの抵抗値がメモリーセルのセル内容により影響を受ける電圧においてメモリーセルの実際の抵抗値 $R(0)$ ないしは $R(1)$ を決定する工程と、(c) $R_{norm}(0) = R(0) / R_{norm}$ 、ないしは $R_{norm}(1) = R(1) / R_{norm}$ の形成による正規抵抗値を用いて実際の抵抗値を正規化する工程と、(d) $R_{norm}(0)$ ないしは $R_{norm}(1)$ を基準値と比較する工程と、(e)比較結果に応じて0または1としてのメモリーセル内容を検知する工程を含むことを特徴とするMRAMメモリーのメモリーセルの非破壊読み取りのための方法。

【請求項2】上記(d)の工程は、 $R_{norm}(0)$ ないしは $R_{norm}(1)$ を、正規化された基準抵抗 $R_{normref} = (R_{norm}(0)_{ref} + R_{norm}(1)_{ref}) / 2$ と比較する工程を含み、  
上記 $R_{norm}(0)_{ref}$ および $R_{norm}(1)_{ref}$ は、0ないしは1の内容をもつ基準メモリーセルの、上記(c)の工程により正規化された抵抗値であることを特徴とする請求項1に記載のMRAMメモリーのメモリーセルの非破壊読み取りのための方法。

【請求項3】正規抵抗値の決定は、メモリーセルにおける0.6Vと0.8Vとの間の電圧で行われることを特徴とする請求項1または2に記載のMRAMメモリーのメモリーセルの非破壊読み取りのための方法。

【請求項4】メモリーセルの抵抗値は、ほぼ0.2Vの印加電圧において測定されることを特徴とする請求項1から3のいずれかに記載のMRAMメモリーのメモリーセルの非破壊読み取りのための方法。

【請求項5】請求項1から4のいずれかに記載の方法を実行するための、MRAMメモリーのメモリーセルの非破壊読み取りのための構造において、メモリーセル(RZelle)に連結され、メモリーセル(RZelle)の正規抵抗値が保存されているトランジスタ回路(M1, M2, CSpeicher)を有していることを特徴とするMRAMメモリーのメモリーセルの非破壊読み取りのための構造。

【請求項6】上記トランジスタ回路(M1, M2, CSpeicher)が、スイッチ(S2)を介して差動増幅器(V2)の出力に接続されていることを特徴とする請求項5に記載のMRAMメモリーのメモリーセルの非破壊読み取りのための構造。

【請求項7】上記差動増幅器(V2)の入力(ー)が、別の差動増幅器(V1)の出力に連結され、その差動増幅器(V1)の入力がメモリーセル(RZelle)と

2

連結されていることを特徴とする請求項5または6に記載のMRAMメモリーのメモリーセルの非破壊読み取りのための構造。

【請求項8】上記差動増幅器(V2, V1)の他の2つの入力には、それぞれ固定の電圧が印加されていることを特徴とする請求項7に記載のMRAMメモリーのメモリーセルの非破壊読み取りのための構造。

【請求項9】上記トランジスタ回路(M1, M2, CSpeicher)が2つのトランジスタ(M1, M2)を有しているとともに、これら両トランジスタ(M1, M2)のソース・ドレイン区間が平行に接続されており、そしてメモリーセル(RZelle)と出力(Uout0.1)との間に存在することを特徴とする請求項5から8のいずれかに記載のMRAMメモリーのメモリーセルの非破壊読み取りのための構造。

【請求項10】上記両トランジスタ(M1, M2)のゲート端子が、スイッチ(S2)およびトランジスタ回路(M1, M2, CSpeicher)におけるメモリーキャパシタンス(CS Speicher)に連結されていることを特徴とする請求項9に記載のMRAMメモリーのメモリーセルの非破壊読み取りのための構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、MRAMメモリーのメモリーセルの非破壊読み取りのための方法および構造に関するものである。

## 【0002】

【従来の技術】MRAMメモリーのメモリーセル、すなわち、磁気抵抗メモリーを図10に図解で示す。このようなメモリーセルでは、記憶させようとする情報は、導電性のない、非常に薄い非磁性中間層TLによって互いに隔てられている隣接磁化層ML1・ML2における磁気モーメントを整える方式により保存される。

【0003】すなわち、メモリーセルを通る電気抵抗の大きさは、磁化層ML1・ML2における磁気モーメントの平行または反平行の配列、つまり磁化層の分極によって左右される。両磁化層ML1・ML2における磁気モーメントの平行配列の場合、メモリーセルの抵抗値は通常、磁気モーメントの反平行配列のときよりも低い。この効果は、TMR効果(TMR = 「トンネルリング・マグネット・レジスティブ」)またはMTJ効果(MTJ = 「マグネティック・トンネル・ジャンクション」)と呼ばれている。

【0004】これにより、メモリーセルのメモリー内容は、「1」ないしは「0」に対する異なるメモリーセル抵抗値の検知により読み取ることができる。両磁化層ML1・ML2の平行磁化は、例えば、デジタルのゼロに所属させることができ、その場合、これらの磁化層の反平行磁化はデジタルの1に相当する。

10

20

30

40

50

ら影響を及ぼさない。しかし、「1」または「0」の信号雑音比は、第1のアプローチによる補償メモリーセルによる第1方法の場合の半分に過ぎない。しかし、この第2アプローチの方法の著しい欠点は、全部で3回の読み出しサイクル、3回の書き込みサイクル、そして1回の評価サイクルが必要となり、これにより読み取りプロセスが非常に長引くことである。

【0029】以上を総合すると、第1のアプローチでは、2倍の所要スペースが必要となり、そして両方の隣接する補償メモリーセル間の抵抗変動が小さくなること10が要求される。また、第2のアプローチは、合計で7つのサイクルを要することにより、読み取りプロセスにおける消費時間を著しく増加させてしまうといえる。

【0030】本発明の課題は、所要スペースが小さく、読み取りプロセスごとに時間を費やさない、MRAMメモリーのメモリーセルの非破壊読み取り方法を創造し、さらに、この方法を実行するための構造（機構）を提供することにある。

【0031】

【課題を解決するための手段】上記の課題を解決するために、本発明にかかるMRAMメモリーのメモリーセルの非破壊読み取りのための方法は、以下の手順（工程）を含んでいる。

(a) メモリーセルの抵抗値がメモリーセルのセル内容により影響を受けない電圧において、メモリーセルの正規抵抗値 $R_{norm}$ を決定する。

(b) メモリーセルの抵抗値がメモリーセルのセル内容により影響を受ける電圧において、メモリーセルの実際の抵抗値 $R(0)$ または $R(1)$ を決定する。

(c)  $R_{norm}(0) = R(0) / R_{norm}$ 、または20  $R_{norm}(1) = R(1) / R_{norm}$ の形成による正規抵抗値を用いて実際の抵抗値を正規化する。

(d) 正規化された基準抵抗 $R_{normref} = (R_{norm}(0)_{ref} + R_{norm}(1)_{ref}) / 2$ と、 $R_{norm}(0)$ または $R_{norm}(1)$ を比較する。

(e) 比較結果に応じて、0または1としてのメモリーセル内容を検知する。

【0032】また、本発明の優れた展開は、以下の通りである。すなわち、上記(d)の工程は、 $R_{norm}$ 30  $(0)$  ないしは $R_{norm}(1)$ を、正規化された基準抵抗 $R_{normref} = (R_{norm}(0)_{ref} + R_{norm}(1)_{ref}) / 2$ と比較する工程を含んでいる。

ここで、上記 $R_{norm}(0)_{ref}$ および $R_{norm}(1)_{ref}$ は、0ないしは1の内容をもつ基準メモリーセルの、上記(c)の工程により正規化された抵抗値である。

【0033】また、正規抵抗値の決定は、メモリーセルにおける0.6Vと0.8Vとの間の電圧で行われるように設定されていてもよい。また、メモリーセルの抵抗

値は、ほぼ0.2Vの印加電圧において測定されるように設定されていてもよい。

【0034】また、本発明にかかるMRAMメモリーのメモリーセルの非破壊読み取りのための構造は、上記した本発明の方法を実行するための構造であって、メモリーセル(RZelle)に連結され、メモリーセル(RZelle)の正規抵抗値が保存されているトランジスタ回路(M1, M2, CSpeicher)を有している構成である。

【0035】また、この構造では、トランジスタ回路(M1, M2, CSpeicher)が、スイッチ(S2)を介して差動増幅器(V2)の出力に接続されていてもよい。さらに、差動増幅器(V2)の入力(一)が、別の差動増幅器(V1)の出力に連結され、その差動増幅器(V1)の入力がメモリーセル(RZelle)と連結されているように設定されていてもよい。

【0036】また、差動増幅器(V2, V1)の他の2つの入力には、それぞれ固定の電圧が印加されていてもよい。さらに、上記トランジスタ回路(M1, M2, CSpeicher)が2つのトランジスタ(M1, M2)を有しているとともに、これら両トランジスタ(M1, M2)のソース・ドレイン区間が平行に接続されており、そしてメモリーセル(RZelle)と出力(Uout01)との間に存在するようになっていてもよい。

【0037】また、両トランジスタ(M1, M2)のゲート端子が、スイッチ(S2)およびトランジスタ回路(M1, M2, CSpeicher)におけるメモリーキャパシタンス(CSpeicher)に連結されているように設定されていてもよい。

【0038】本発明の方法または本発明の構造においては、今までまったく注目されていなかったMTJメモリーセル特性が活用される。すなわち、メモリーセルのトンネル抵抗の抵抗値は、メモリーセルに存在する電圧により左右される。その場合、トンネル抵抗が、2つの磁化層における分極化の方向に影響されずに同じ値(「1」および「0」に対して同じ大きさ)をとる電圧領域が存在する。

【0039】これとは逆に、他の電圧領域では、両磁化層における分極の反平行配列(反平行位置づけ; antiparallel orientation)において、抵抗は、同層における分極の平行配列(平行位置づけ(parallel orientation))におけるよりも、 $\Delta R$ ほど大きい。従って、この場合、この電圧において、セル内容は、「0」および「1」により区別されることができる。

【0040】以上のように、本発明の方法は、最初に述べた電圧領域(U1とする)では、メモリーセルの抵抗 $R_c$ は、メモリーセル内容に影響されずに決定されうるが、2番目に述べた電圧領域(U2とする)では、同抵抗 $R_c$ は、セル内容に応じて検知できる(変化する; 抵

抗 $R_c$ の変化を検知できる)ことに基礎を置いている。

【0041】これにより、隣接していなくてもよい相異なるメモリーセルの内容を再び相互に比較するために

(比較できるように)、セル内容により影響されない抵抗 $R_c(U1)$ によって、セル内容により影響される抵抗 $R_c(U2)$ を正規化することが可能となる。その結果、アドレス指定されているメモリーセルの正規化された読み出し信号を、常にそれぞれ「0」ないしは「1」で記述される基準セルの正規化された基準信号と比較し、そして、それにより、「1」または「0」としてのメモリーセル内容を検知することも可能である。

【0042】

【発明の実施の形態】本発明の一実施の形態について、図面を用いて詳細に説明する。なお、図1は、曲線Iにおける、メモリーセルに印加される電圧 $V = V_{oben} - V_{unten}$ と、メモリーセル磁化層の平行(RP)分極および反平行(RA)分極に対するトンネル抵抗との相関関係、および、曲線IIにおける、電圧Vと抵抗比 $MR = (RA - RP) / RP$ との層間関係を示すグラフである。

【0043】また、図2は、メモリーセルの抵抗とメモリーセル上に存在する電圧との相関関係を示すために、面抵抗と接触電圧との相関関係をプロットしたグラフである。また、図3は、読み出し信号を正規化するための基本回路の実施例の回路を示す説明図である。

【0044】また、図4～図6は、MTJメモリーセルを有するメモリーセルアレイを例とする本発明の自己正規化方法の経過を示す説明図である。また、図7は、「1」および「0」に対する正規化基準信号による正規化読み出し信号の基準化を示す説明図である。

【0045】また、図8は、セル信号の自己正規化検知実行を示す説明図である。さらに、図9は、セル信号の検知のための具体的な回路を示す説明図である。なお、各図では、互いに共通する構成部分には、それぞれ同じ記号が付けられている。

【0046】図1に、メモリーセルに印加される電圧 $V = V_{oben} - V_{unten}$ と、メモリーセルのトンネル抵抗の面抵抗値 $R^*$ との相関関係を示す。ここで、 $V_{oben}$ は、例えば、ビット線BLに、そして $V_{unten}$ は、ワード線WL(図10・図11参照)の電圧である。

【0047】このグラフに示すように、ほぼ-0.6Vと+0.6Vとの間の電圧領域では、磁化層の反平行分極時における抵抗値RAは、磁化層の平行分極時における抵抗値RPよりも大きい。

【0048】これに対し、-1.0Vと-0.6Vとの間の電圧領域、および、0.6Vと1.0Vとの間の電圧領域においては、磁化層の反平行分極時における抵抗値(磁化層の反平行分極に対する抵抗値)と、平行分極時における抵抗値(平行分極に対する抵抗値)とは、ほぼ同じ大きさである。

【0049】すなわち、電圧 $U2 = 0.2V$ の場合には、RAはRPよりも大きい。従って、電圧 $U2$ の場合、 $RA(U2) = RP(U2) + \Delta R$ となる。一方、電圧 $U1 = 0.6V$ の場合には、ほぼ、 $RP(U1) = RA(U1)$ となる。

【0050】換言すれば、電圧 $U2$ を印加した場合、メモリーセルの内容を検知することが可能である。一方、電圧 $U1$ を印加した場合、磁化層の平行分極および反平行分極に対しては、メモリーセルの抵抗値を正規化するために使う抵抗値と同じ抵抗値が得られる。

【0051】そこで、本発明の方法では、電圧 $U1$ のとき、メモリーセルの抵抗値 $R_c(U1)$ は、セル内容と無関係に決定されうが、電圧 $U2$ のときは、メモリーセルの抵抗値 $R_c(U2)$ は、セル内容を検知可能(セル内容に応じて検知可能)であることを基本としている。

【0052】このことにより、セル内容に依存する抵抗値 $R_c(U2)$ を、セル内容に影響されない $R_c(U1)$ を用いて正規化できる。すなわち、 $R_c(U2) / R_c(U1)$ を形成することができる。そして、その結果、互いに隣接しなくてもよい相異なるメモリーセルのセル内容を、再び相互に比較できる。

【0053】すなわち、本発明の方法により、アドレス指定されるメモリーセルの正規化される読み出し信号を、常に、それぞれ「0」および「1」で記述される基準メモリーセルの正規化された基準信号と比較することが可能となる。その結果、アドレス指定されたメモリーセルのセル内容を、「1」または「0」として検知できる。

【0054】ここで、このプロセスを、面抵抗 $R^*$ を接触電圧Vに対してプロットした図2により、再度詳しく説明する。まず、正規抵抗値 $R_{norm}$ を、例えば、電圧 $U1 = 0.6V$ において算出し、保存する。次に、電圧 $U2 = 0.2V$ において、抵抗値 $R(0)$ あるいは $R(1)$ をもつセル内容を、磁化層の反平行( $R(1)$ )分極あるいは平行( $R(0)$ )分極に応じて決定する。

【0055】その後、 $R_{norm}$ に対する、 $R(0)$ あるいは $R(1)$ の正規化を行う。すなわち、 $R_{norm}(0) = R(0) / R_{norm}$ ないしは $R_{norm}(1) = R(1) / R_{norm}$ が形成される。

【0056】そのあと、 $R_{norm}(0)$ ないしは $R_{norm}(1)$ と、基準メモリーセルの、いま確定された基準抵抗値 $R_{normref} = (R_{norm}(0)_{ref} + R_{norm}(1)_{ref}) / 2$ との比較が続く。最後に、この比較の結果として、「0」または「1」としてのセル内容が検知される。

【0057】さらに、以下に図3の実施例をもって詳述するように、本発明の方法は、電圧 $U1 \cdot U2$ における2つの時間段階(タイムステップ)で実施されう。

【0058】その結果、本発明の方法は特に以下の利点

【0005】磁化層ML1・ML2における磁気モーメントの平行配列と反平行配列との間の抵抗変化は、物理的に、メモリーセルの磁化層ML1・ML2における磁気モーメントによる薄い非磁性中間層TLにおける伝導電子の電子スピンの交互作用に基づいている。「薄い」という用語は、伝導電子が中間層TLをスピン分散過程なしに横断(Traverse)できることを表現するために用いてある。

【0006】注目すべきことに、両磁化層ML1・ML2の1つは、その磁化により反強磁性の下層または表層に連結されている。従って、この磁化層における磁化は、基本的に固定された状態で終始する。一方、他の磁化層は、この磁化層の上下においてワード線WL・ビット線BLに流れる電流により生み出される小さい磁界によって、その磁気モーメントにて自由に配列されるように設定されている。

【0007】また、メモリーセルアレイにおいては、ワード線WLとビット線BLとの交差点にセル(メモリーセル)が配されている。そして、1つのセルに接続された両線WL・BLの双方に電流(プログラミング電流)  $I_{WL}$ ・ $I_{BL}$ の流れた場合に限り、両電流  $I_{WL}$ ・ $I_{BL}$ の和により、このセルに、プログラミングに十分な強度の磁界が与えられる。

【0008】また、両電流  $I_{WL}$ ・ $I_{BL}$ は、両線WL・BLの一方だけに電流  $I_{WL}$ あるいは  $I_{BL}$ が流れただけではメモリーセルを再プログラミングできないような値となっている。

【0009】図11には、ビット線BLとワード線WLとの間のメモリーセルの抵抗  $R_c$  を再び図解で示す。もし、「1」ないしは「0」の帰属についての上記の仮定に基づくならば、磁化層ML1・ML2における磁気モーメントの反平行配列のためのこの抵抗  $R_c$  は、この磁気モーメントの平行配列のための抵抗  $R_c$  よりも大きい。すなわち、 $R_c$  (「0」) <  $R_c$  (「1」) である。

【0010】MRAMは、その最も簡単な実施例では、メモリーセルの動作を司る、マトリックス状に交差するワード線WLおよびビット線BLの導電トラックから構成されている。

【0011】その場合、上の導電トラック、例えば、ビット線BL(図10, 11参照)は、上の磁化層ML1(例えば強磁性層)に連結している。他方、ワード線WLを形成している下の導電トラックは、下の磁化層ML2(例えば強磁性層)に接している。ワード線WLないしはビット線BLのための両導電トラックを通じて、メモリーセルに電圧が印加されると、トンネル電流が薄い非磁性中間層TLを通して流れる。

【0012】こうして、この薄い非磁性中間層により、抵抗  $R_c$  が形成され、この抵抗  $R_c$  は、磁気モーメントの平行配列または反平行配列に応じて、すなわち、メモ

リーセルにおける適切な電圧における上の強磁性層および下の強磁性層の平行分極または反平行分極に応じて、抵抗値  $R_c$  (「0」) <  $R_c$  (「1」) ないしは  $R_c$  (「1」) =  $R_c$  (「0」) +  $\Delta R_c$  となる。

【0013】図12は、メモリーセルがワード線WLとビット線BLとの間の交差個所にマトリックス状に設けられているメモリーセルアレイを示す。

【0014】この図では、メモリー内容は2つのメモリーセルに対する「1」ないしは「0」としての平行分極または反平行分極に左右されることが概念的に暗示されている。

【0015】

【発明が解決しようとする課題】さて、図12に図解により示されているメモリーセルアレイでは、電流は、選ばれたワード線WLと選ばれたビット線BLとの交点におけるメモリーセルを通じて流れるだけではなく、選ばれたワード線WLないしは選ばれたビット線BLとそれぞれ連結している別のメモリーセルにおいても好ましくない分岐電流が発生する。これらの好ましくない分岐電流は、選ばれたメモリーセルを通して流れる読み取り電流を著しく阻害する。

【0016】このため、従来、選ばれたメモリーセルを通る読み取り電流だけが、または、このメモリーセルを支配する読み取り電圧だけが検知に提供されるように、メモリーセルアレイの適切な配線により、そのような好ましくない分岐電流を読み取り電流から分離する努力がなされている。

【0017】しかし、そうした場合、十分な大きさのメモリーセルアレイを構成するためには、他のメモリーセルを通る寄生電流があるので、メモリーセルの抵抗値を高くしなければならず、特に、Mohm領域で選ばねばならない。

【0018】好ましくない分岐電流を防ぐためのもうひとつの方法は、単純に構成されたMTJメモリーセル(図13参照)に、ダイオードD(図14参照)またはスイッチングトランジスタT(図15参照)を加えて拡張することである(R. ショイヤーライン他の「各セルに磁気トンネル接合およびFETスイッチを使う10nsリードアンドライトタイム不揮発性メモリーアレイ」ISSCC、2000年2月、128頁/R. c. ソーサ他の「アモルファスSiダイオードによるスピン依存トンネル接合の垂直統合」appl. Phys. Lett. 74巻、25号、3893-3895頁)。

【0019】ダイオードないしはスイッチングトランジスタによるそのような拡張の利点は、そのような配線でのメモリーセルアレイでは、全ての余分なメモリーセルは遮断されるので、読み取り電流だけがそれぞれ読み取られるメモリーセルを流れることにある。これにより、図13の純粋のMTJセルとは対照的に、メモリーセルの抵抗値を低く選ぶことができ、それにより読み取り電

10

20

30

40

50

5

流が相対的に大きくなり、そして読み取りは $n$  s領域で速く行うことができる。

【0020】しかし、ダイオードやトランジスタをそのように追加的に配線することは、それによって生じる著しい追加の技術的コストやスペースの費用により好ましくない。

【0021】従来の技術水準では、全ての形式のメモリーセルにおいて共通していることは、「0」または「1」としての読み出し信号の検知・評価は非常に難しい。なぜなら、層ML1、TLおよびML2の層順序により形成されるトンネル抵抗は、通常、ウェーハを通じて往復変動（振動）するばかりではなく、それどころか多くの場合、隣接するメモリーセル間において、例えばわずか15%だけである「1」状態と「0」状態との抵抗差 $\Delta R_c$ よりも、非常に激しく、つまり最大40%まで変動する。換言すれば、この与件により、メモリーセル内容の確実な検知は著しく困難となるか、あるいは不可能にさえる。

【0022】MRAMとは異質の、他の形式のメモリーでは、電流または電圧の読み出し信号からの「1」または「0」の検知は、この読み出し信号を、「1」に対する読み取り電流ないしは読み取り電圧と「0」に対する読み取り電流ないしは読み取り電圧との間の中間に存在する等の基準電流か基準電圧かのどちらかと比較し、両デジタル値に対してそれぞれベストの信号雑音比（S/N比）を得ることにより行われる。この基準電流ないしはこの基準電圧は、「1」および「0」が固定的に書き込まれた基準電源を通じて、あるいは基準セルを通じても発生させることができる。

【0023】しかし、そのような手段は、やはり、MTJセルにおける読み出し信号の検知には限定的にしか用いられないであろう。それは、冒頭に述べたような、メモリーセルからメモリーセルへの、そしてウェーハ全体におけるトンネル抵抗の激しい変動に起因する。

【0024】上記の問題点を解決するためには、これまで2つのアプローチがとられている。第1のアプローチ（これについては、R. ショイヤーライン他の「各セルに磁気トンネル接合およびFETスイッチを使う10 nsリードアンドライトタイム不揮発性メモリーアレイ」ISSCC、2000年2月、128頁を参照された）は、スイッチングトランジスタ付きMTJセルに適している、1つだけのセル内容の記憶のための2つの隣接する補償メモリーセル（Complementary memory cell）を使用するものである。このアプローチでは、常に、メモリー内容は第1メモリーセルに、そしてメモリー内容の補足部分、つまり、否定されるメモリー内容は第2メモリーセルに書き込まれるのである。

【0025】読み取りでは、両方のメモリーセルが読まれ、内容が検知される。この方法では、読み出し信号および信号雑音比（S/N比）は、上記に説明した通常の

6

基準方法の2倍大きい。しかしながら、2つのメモリーセルおよび2つのスイッチングトランジスタのための所要スペースおよび技術コストは非常に大きく、確実な検知を行えるように、両方の隣接する補償メモリーセル間の抵抗変動が小さくなることが保証されなければならない。

【0026】この前提条件は、読まれる純粋のMTJメモリーセル（図13参照）の自己基準化に基づいている第2アプローチでは不要である。第2の方法は以下の手順で行われる。まず、選ばれたメモリーセルのセル内容を読み取り、保存する。しかるのち、このメモリーセルに、例えば、「0」をプログラミングする。メモリーセルのプログラミングされた「0」の内容を読み取り、保存する。最初に保存したセル内容を保存されている既知の「0」と比較し、検知を行い、そしてそのように検知したセル内容を再びメモリーセルに書き戻す。

【0027】ところが、この方法の欠点は、読み出し信号の検知のときに、基準としてプログラミングされ、再読み出しが行われる「0」に、予設定（pre-define）される半読み出し信号を付け加えなければならないことであり、それにより、新たな抵抗変動がメモリーセルの検知に入り込むことである。

【0028】では、メモリーセルの抵抗変動からの影響を完全に排除するためには、第2のアプローチの場合、いま説明した方法を「1」の書き込みにより補完しなければならない。そのため、次の方法手順が行われる。

（a）選んだメモリーセルのセル内容を読み出し、保存する。

（b）メモリーセルに、例えば、「0」をプログラミングする。

（c）メモリーセルのプログラミングされた「0」の内容を読み出し、保存する。

（d）メモリーセルに、例えば、「1」をプログラミングする。

（e）メモリーセルのプログラミングされた「1」の内容を読み出し、保存する。

（f）上記の（a）で保存したセル内容を（c）および（e）で保存した値「0」および「1」と比較し、検知する。これは、基準電圧 $V_{ref}$ を既知の「0」および「1」から形成することにより行われる。その場合、読み出される「1」または「0」の検知には、それぞれ半分の読み出し信号差だけが提供される。このことは、読み出される「0」については図16に、そして読み出される「1」については図17に示唆されている通りである。

（g）検知されたセル内容は、最終的には、再びメモリーセルに書き戻される。第2のアプローチの方法は、書き込まれ、そして読み出される「1」および「0」により選ばれたメモリーセル自信において基準電圧を生み出すのであるから、メモリーセルの抵抗変動は検知になん

を実現する。本発明の方法は、メモリーセルの抵抗値の分散に影響されずに実行できる。本発明の方法の手順は、2つだけの時間段階を必要とする。読み出し信号の正規化により、外部基準信号との比較が可能になる。

【0059】それ故、本発明の方法は、既存の、冒頭に述べた方法よりもあらゆる観点において優っている。結局、本発明の方法は、種々のMTJメモリーセルのあらゆる形式に、すなわち、純粋のMTJメモリーセルに、ダイオード付きMTJメモリーセル、およびトランジスタ付きMTJメモリーセルに応用できる。

【0060】図3は、本発明の方法を実施するための構造の実施例を示す説明図である。この構造により、読み出し信号の正規化が原理的に可能である。この構造は、特に、スイッチS1、例えば、トランジスタを経て、ワード線電圧0.4Vまたは0.8Vに触れる、抵抗RZelleをもつメモリーセルを有する。さらに、第1差動増幅器V1、第2差動増幅器V2、PチャンネルMOS電界効果型トランジスタ、およびメモリーキャパシタンスCSpeicherならびに別のスイッチS2を有している。

【0061】第1差動増幅器V1のマイナスの入力は、スイッチS1に向かい合っている抵抗RZelle端に連結し、そのプラスの入力には、例えば、ほぼ1Vの電圧が印加される。第2差動増幅器V2のマイナスの入力は、第1差動増幅器V1の出力に連結している。また、そのプラスの入力には、1.6Vの電圧が印加されている。

【0062】図3（および図4から図6まで）には、さらにnチャンネルMOS電界効果型トランジスタM1が示されている。電界効果型トランジスタM2の代わりにこの電界効果型トランジスタM1を使う場合は、第2差動増幅器V2の（+）入力と（-）入力とを入れ換えなければならない。なお、以下では、トランジスタM2だけが存在し、トランジスタM1が存在しないことを前提とする。

【0063】両方のトランジスタM1およびM2、メモリーキャパシタンスCSpeicher、そして分離スイッチS2から成る回路は、正規化抵抗Rnorm=RZelle (U1) の中間記憶を行う。鎖線により、他のメモリーセルの寄生抵抗Rparaが示されている。

【0064】第1差動増幅器V1のプラス入力ないしは（+）入力には、1V（プラス）+「オフセット」補償（「offset-compensation」）の電圧がかかっているの、差動増幅器V1のプラスの入力とマイナスないしは（-）の入力との間においては、0Vが降下する。ということは、第1差動増幅器V1のマイナスの入力には、正確に1Vがかかっている。メモリーセルアレイの他の線も、選出される線は別として、例えば、1Vのところにある。

【0065】第2差動増幅器V2のプラスの入力には、

第1差動増幅器V1の出力における電圧が、第1差動増幅器V1のマイナスの入力における電圧、つまり、例えば、1Vとアドレス指定がされているメモリーセルの上の正規化抵抗Rnormの決定のために介在している、RZelleを経由して降下する電圧UZelle、つまり、例えば、0.6Vとの合計値に達するように、電圧が前もって与えられる。換言すれば、第2差動増幅器V2のプラスの入力には、例えば、 $1V + 0.6V = 1.6V$ が印加される（支配する）。

【0066】この電圧予設定により、スイッチS2が閉じているとき、第2差動増幅器V2はトランジスタM2を動かし、このトランジスタM2にメモリーセルと正確に同じ電圧、例えば、0.6Vが降下することが実現される。すなわち、トランジスタにもまた、電圧UZelleがかかる。

【0067】これにより、トランジスタM2には、メモリーセルを通る電流と同じ電流が流れる。すなわち、トランジスタM2により正規化抵抗Rnormが模倣される。スイッチS2が開くと、抵抗値Rnormは、トランジスタM2ないしはメモリーキャパシタンスCSpeicherに記憶されたままととなる。

【0068】また、第2差動増幅器V2のプラスの入力に1.6V以外の電圧を印加することにより、例えば、この入力に1.3Vを印加することにより、例えば、1.3Vにおける2倍増幅への増幅のように、帰還された第1差動増幅器V1の増幅を調整することができる。

【0069】図3の回路機構の動作は、図2の例の電圧値により、以下のようにまとめることができる。まず、 $VWL = 1V$ が生まれるように、ワード線を1Vに設定するものとする。スイッチS1・S2は閉じられ、その結果、メモリーセルアレイの全ての線には1Vがかかる。第1差動増幅器V1のマイナスの入力には、「オフセット」補償のためにやはり1Vがかかる必要がある。

【0070】また、図4に示すように、電流 $I = 0$ が、 $m \times n$ のMTJメモリーセルから、メモリーセルフィールドないしはメモリーセルアレイAに流れる。

【0071】その状態で、ワード線に電圧 $UWL = 0.4V$ が印加され、その結果、メモリーセルの抵抗RZelleにおいて降下する電圧は1V（ビット線）- 0.4V（ワード線）= 0.6V =  $U_1$ に達する。

【0072】次に、第2差動増幅器V2は、トランジスタM2を通じてやはり正確に0.6Vほど降下するように、トランジスタM2を制御する。従って、メモリーセルを通る電流IRZelleは、トランジスタM2を通る電流と同じとなり、従って、 $RZelle (U_1 = 0.6V) = R_{M2} = R_{norm}$ が支配する。

【0073】そのあと、スイッチS2が開かれ、それによりトランジスタM2ならびにメモリーキャパシタンスCSpeicherに、Rnormが保存される。このようにして得られる状態を図5に図解で示す。

13

【0074】そこで、ワード線を、例えば、0.8Vの電圧に設定し、 $U_{WL2} = 0.8V$ が支配することになる。すると、メモリーセルの抵抗 $R_{Zelle}$ の電圧は $1.0V$ （ビット線） $-0.8V$ （ワード線） $=0.2V$ となる。かくして、第1差動増幅器 $V1$ は、正規化読み出し信号 $U_{out0.1} = 1V + U_2 (R_{norm} / R_{Zelle0.1})$ を供給する。このようにして到達した状態を図6に図解して示す。最後に、 $U_{out0.1}$ が基準電圧と比較され、「1」または「0」信号として検知される。

【0075】図7は、それぞれ「0」および「1」が固定的に書き込まれてる基準セル $R_{Ref0}$ および $R_{Ref1}$ を用いて、読み出し信号の可能な基準化を行うための回路機構の例を示す。この場合、前もって「1」が書き込まれた基準セル $R_{Ref1}$ および前もって「0」が書き込まれた基準信号 $R_{Ref0}$ には、読み取られるセル $R_{Zelle}$ に加えられる電圧と同じ電圧 $U_{WL}$ が印加される。

【0076】ここで、基準セル $R_{Ref0}$ および $R_{Ref1}$ および読み取られるセル $R_{Zelle}$ は、正規化信号 $U_{norm(ref1)}$ 、 $U_{norm(ref1)}$ および $U_{norm(Zelle)}$ をそれぞれつくりだすために、それぞれ差動増幅器「差動増幅器(ref1)」、差動増幅器「差動増幅器(ref0)」および差動増幅器「差動増幅器(Zelle)」に連結される。なお、 $U_{norm(ref1)}$ 、 $U_{norm(ref1)}$ および $U_{norm(Zelle)}$ は、

$$U_{norm(ref1)} = 1V + (U_{BL} - U_{WL}) (R_{norm1} / R_{ref1})$$

$$U_{norm(ref1)} = 1V + (U_{BL} - U_{WL}) (R_{norm0} / R_{ref0})$$

$$U_{norm(Zelle)} = 1V + (U_{BL} - U_{WL}) (R_{normzelle} / R_{refzelle})$$

なる式によって与えられる。

【0077】こうして、正規化された基準セル信号 $U_{norm(ref0)}$ および $U_{norm(ref1)}$ から得られる基準信号 $U_{normref} = (U_{norm(ref0)} + U_{norm(ref1)}) / 2$ と正規化セル信号とを比較することにより、図8に示すように、ある評価段階において、メモリーアレイ（メモリーセルアレイ）Aにおけるセル $R_{Zelle}$ のセル内容を検知できる。

【0078】最後に、図8における評価を行う可能な評価者回路の1例を図9に示す。この場合、この回路のトランジスタTは、メモリーセルに記憶されている内容に応じて、評価者回路の出力OUTに、「1」または「0」が示されるように設計される。

【0079】図9に示される評価者回路は、供給電圧 $U_{CC}$ および電源Iとの間に位置する。セル内容 $U_{norm(Zelle)}$ は、入力INからこの評価者回路に導入され、 $(U_{norm(ref0)} + U_{norm(re$

14

$f1) / 2$ と比較され、差動増幅器Vを経て出力OUTに放出される。

【0080】なお、図10、図11の構成では、メモリーセルアレイにおいては、ワード線WLがビット線BLと交差するセルにおいてのみ、両電流 $I_{WL}$ および $I_{BL}$ の和により、プログラミングに十分な強度の磁界が支配し、他方、このワード線WLないしはこのビット線BLに存在する、他の全てのメモリーセルは、これらの両線の1つを流れる電流だけでは再プログラミングされ得ないように、プログラミング電流 $I_{WL}$ および $I_{BL}$ がワード線WLないしはビット線BLにより選ばれる。

【0081】また、本発明のMRAMメモリーのメモリーセルの非破壊読み取りのための構造は、本発明のMRAMメモリーのメモリーセルの非破壊読み取りのための方法を実行するための構造において、メモリーセル( $R_{Zelle}$ )は、メモリーセル( $R_{Zelle}$ )の正規抵抗値が保存されているトランジスタ回路(M1、M2、CSpeicher)に連結されている構造である、と表現できる。

【0082】また、この構造では、入力(ー)をもつ差動増幅器(V2)は、別の差動増幅器(V1)の出力に連結し、その差動増幅器(V1)の入力はメモリーセル( $R_{Zelle}$ )と連結していてもよい。

【0083】

【発明の効果】以上のように、本発明にかかるMRAMメモリーのメモリーセルの非破壊読み取りのための方法は、以下の手順(工程)を含んでいる。

(a) メモリーセルの抵抗値がメモリーセルのセル内容により影響を受けない電圧において、メモリーセルの正規抵抗値 $R_{norm}$ を決定する。

(b) メモリーセルの抵抗値がメモリーセルのセル内容により影響を受ける電圧において、メモリーセルの実際の抵抗値 $R(0)$ または $R(1)$ を決定する。

(c)  $R_{norm}(0) = R(0) / R_{norm}$ 、または $R_{norm}(1) = R(1) / R_{norm}$ の形成による正規抵抗値を用いて実際の抵抗値を正規化する。

(d) 正規化された基準抵抗 $R_{normref} = (R_{norm}(0)_{ref} + R_{norm}(1)_{ref}) / 2$ と、 $R_{norm}(0)$ または $R_{norm}(1)$ を比較する。

(e) 比較結果に応じて、0または1としてのメモリーセル内容を検知する。

【0084】また、本発明の優れた展開は、以下の通りである。すなわち、上記(d)の工程は、 $R_{norm}(0)$ ないしは $R_{norm}(1)$ を、正規化された基準抵抗 $R_{normref} = (R_{norm}(0)_{ref} + R_{norm}(1)_{ref}) / 2$ と比較する工程を含んでもよい。ここで、上記 $R_{norm}(0)_{ref}$ および $R_{norm}(1)_{ref}$ は、0ないしは1の内容をもつ基準メモリーセルの、上記(c)の工程により正規化さ



れた抵抗値である。

【0085】また、正規抵抗値の決定は、メモリーセルにおける0.6Vと0.8Vとの間の電圧で行われるように設定されていてもよい。また、メモリーセルの抵抗値は、ほぼ0.2Vの印加電圧において測定されるように設定されていてもよい。

【0086】また、本発明にかかるMRAMメモリーのメモリーセルの非破壊読み取りのための構造は、上記した本発明の方法を実行するための構造であって、メモリーセル(RZe11e)に連結され、メモリーセル(RZe11e)の正規抵抗値が保存されているトランジスタ回路(M1, M2, CSpeicher)を有している構成である。

【0087】また、この構造では、トランジスタ回路(M1, M2, CSpeicher)が、スイッチ(S2)を介して差動増幅器(V2)の出力に接続されていてもよい。さらに、差動増幅器(V2)の入力(-)が、別の差動増幅器(V1)の出力に連結され、その差動増幅器(V1)の入力がメモリーセル(RZe11e)と連結されているように設定されていてもよい。

【0088】また、差動増幅器(V2, V1)の他の2つの入力には、それぞれ固定の電圧が印加されていてもよい。さらに、上記トランジスタ回路(M1, M2, CSpeicher)が2つのトランジスタ(M1, M2)を有しているとともに、これら両トランジスタ(M1, M2)のソース・ドレイン区間が平行に接続されており、そしてメモリーセル(RZe11e)と出力(Uout0.1)との間に存在するようになっていてもよい。

【0089】また、両トランジスタ(M1, M2)のゲート端子が、スイッチ(S2)およびトランジスタ回路(M1, M2, CSpeicher)におけるメモリーキャパシタンス(CS Speicher)に連結されているように設定されていてもよい。

【0090】本発明の方法または本発明の構造においては、電圧領域(U1)では、メモリーセルの抵抗Rcは、メモリーセル内容に影響されずに決定されうるが、別の電圧領域(U2)では、同抵抗Rcは、セル内容に応じて検知できる(変化する;抵抗Rcの変化を検知できる)ことに基礎を置いている。

【0091】これにより、隣接していなくてもよい相異なるメモリーセルの内容を再び相互に比較するために、セル内容により影響されない抵抗Rc(U1)によって、セル内容により影響される抵抗Rc(U2)を正規化することが可能となる。その結果、アドレス指定されているメモリーセルの正規化された読み出し信号を、常にそれぞれ「0」ないしは「1」で記述される基準セルの正規化された基準信号と比較し、そして、それにより、「1」または「0」としてのメモリーセル内容を検知することも可能である。

# 【図面の簡単な説明】

【図1】メモリーセルに印加される電圧と、メモリーセル磁化層の平行分極および反平行分極に対するトンネル抵抗および抵抗比との相関関係を示すグラフである。

【図2】メモリーセルの抵抗とメモリーセル上に存在する電圧との相関関係を示すために、面抵抗と接触電圧との相関関係をプロットしたグラフである。

【図3】読み出し信号を正規化するための基本回路の実施例の回路を示す説明図である。

【図4】MTJメモリーセルを有するメモリーセルアレイを例とする本発明の自己正規化方法の経過を示す説明図である。

【図5】MTJメモリーセルを有するメモリーセルアレイを例とする本発明の自己正規化方法の経過を示す説明図である。

【図6】MTJメモリーセルを有するメモリーセルアレイを例とする本発明の自己正規化方法の経過を示す説明図である。

【図7】「1」および「0」に対する正規化基準信号による正規化読み出し信号の基準化を示す説明図である。

【図8】セル信号の自己正規化検知実行を示す説明図である。

【図9】セル信号の検知のための具体的な回路を示す説明図である。

【図10】MTJメモリーセルの構成を示す説明図である。

【図11】図10に示した構成の代替回路図である。

【図12】MTJメモリーセル用のセル設計構造を示す説明図である。

【図13】MTJメモリーセルの代替回路図である。

【図14】ダイオードをもつMTJメモリーセルの代替回路図である。

【図15】トランジスタをもつMTJメモリーセルの代替回路図である。

【図16】公知の方法における「0」の検知を示す説明図である。

【図17】公知の方法における「1」の検知を示す説明図である。

# 【符号の説明】

RA	磁化層の反平行分極におけるメモリーセルの抵抗値
RP	磁化層の平行分極におけるメモリーセルの抵抗値
MR	抵抗比
R*	メモリーセルの面抵抗
R(0)	磁化層の平行分極におけるメモリーセルの抵抗値
R(1)	磁化層の反平行分極におけるメモリーセルの抵抗値
Rnorm	正規抵抗値

17

U1 抵抗値がメモリー内容に影響され  
ない電圧

U2 抵抗値がメモリー内容に左右され  
る電圧

V1, V2 差動増幅器

M1, M2 トランジスタ

C Speicher メモリーキャパシタンス

R para 他のメモリーセルの寄生抵抗

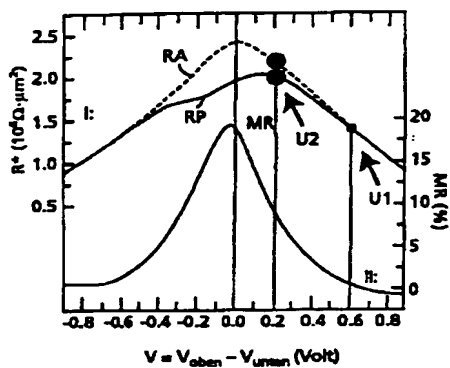
R Zelle メモリーセルの抵抗値

S1, S2 スイッチ

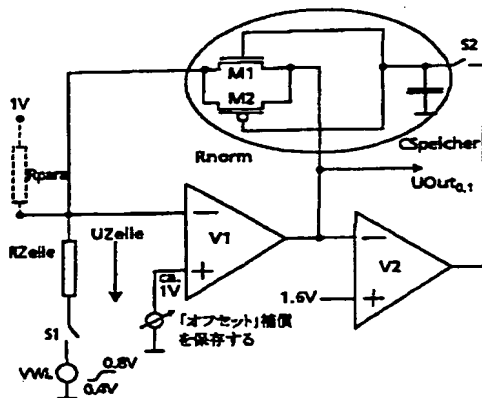
VWL, UWL ワード線WLにおける電圧

U out 0.1 出力電圧

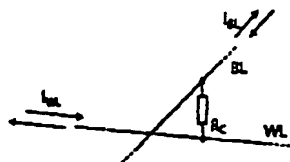
【図 1】



【図 3】



【図 11】



\* A

BL ビット線

WL ワード線

TL 非磁性中間層

ML 1 第1磁化層

ML 2 第2磁化層

Rc メモリーセルの代替抵抗

I WL ワード線電流

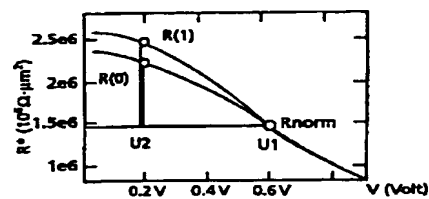
I BL ビット線電流

10 C トランジスタ

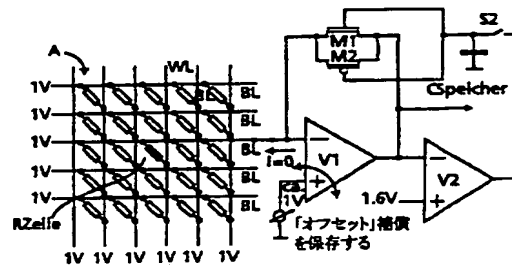
D ダイオード

\* V 差動増幅器

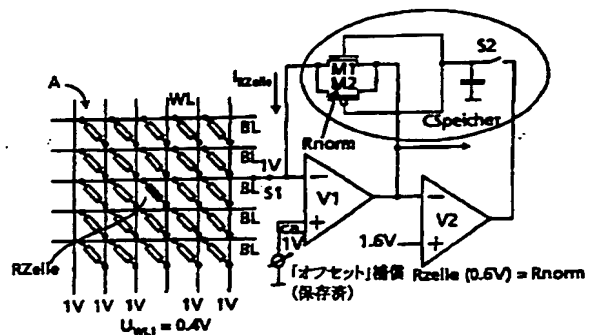
【図 2】



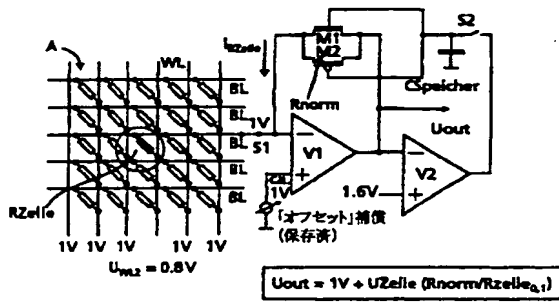
【図 4】



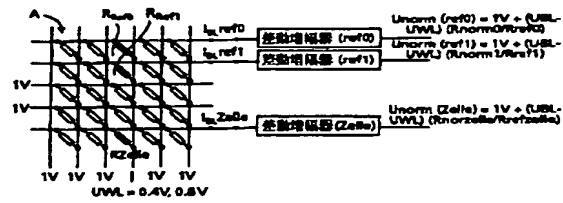
【図 5】



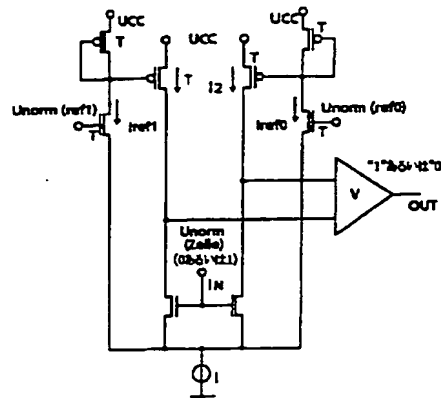
【図6】



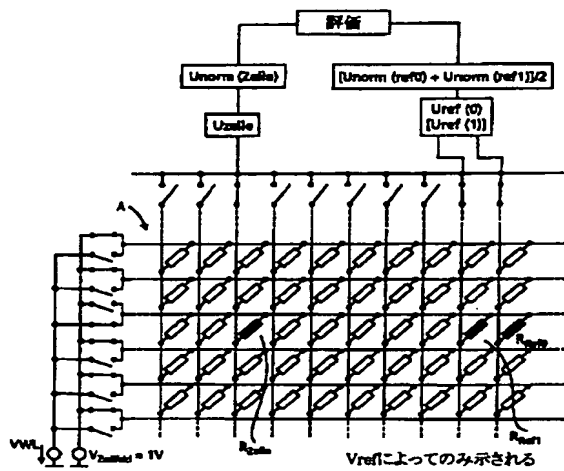
【図7】



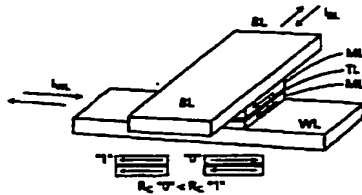
【図9】



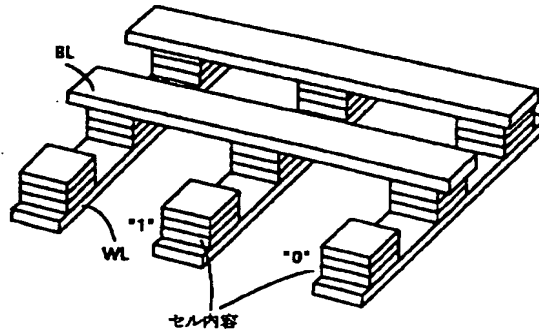
【図8】



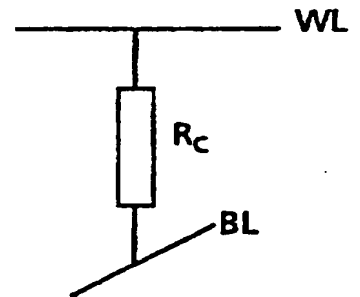
【図10】



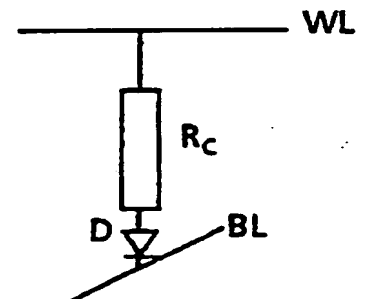
【図12】



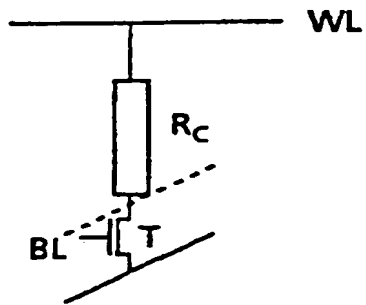
【図13】



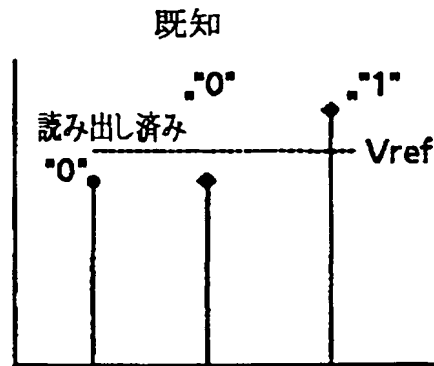
【図14】



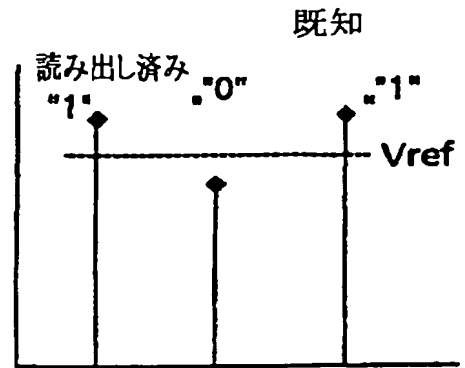
【図 15】



【図 16】



【図 17】



フロントページの続き

Fターム(参考) 2G132 AA08 AC03 AL09  
5F083 FZ10 LA03 LA12 LA16